

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-308686

(43)公開日 平成5年(1993)11月19日

(51)Int.Cl.⁶
H 04 Q 11/04

識別記号 301 B 庁内整理番号 9076-5K

F I

技術表示箇所

H 04 J 3/08
3/22

B 4101-5K
4101-5K
9076-5K

H 04 Q 11/04

E

審査請求 未請求 請求項の数1(全10頁)

(21)出願番号 特願平4-136203

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成4年(1992)4月28日

(72)発明者 浜田 樹欣

東京都港区芝五丁目7番1号 日本電気株式会社内

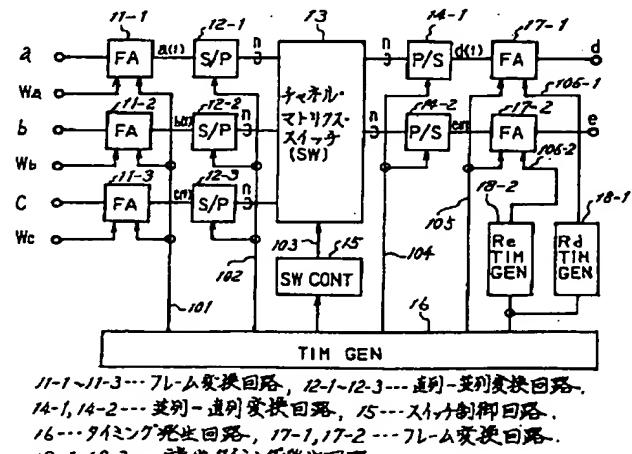
(74)代理人 弁理士 八幡 義博

(54)【発明の名称】 異速度分岐多重回路

(57)【要約】

【目的】 方路の追加等に小規模の変更で柔軟に対応でき異速度分岐多重回路を提供する。

【構成】 a、b、cは信号速度がばらばらな入力信号であるが、それぞれを3つのFA (11-1~11-3) で一旦内部フレームの高速信号に変換して各信号の位相を揃え、それを内部フレームの1フレーム毎にnビットの並列信号へ変換し (12-1~12-3) 、この3個のnビット並列信号をマトリクス構成のSW13に入力して所定のタイミングで分岐・配列変更・多重等を行って2個のnビット並列信号を形成し、これらをそれぞれnビットの直列信号へ変換し (14-1、14-2) 、その後17-1と17-2にてそれぞれのnビットの直列信号を内部フレームから本来のフレームへ、即ち、所望の速度の信号の形にして出力する。



11-1~11-3---フレーム変換回路, 12-1~12-3---直列-並列変換回路,
14-1, 14-2---並列-直列変換回路, 15---ストラクチャ回路,
16---タイミング発生回路, 17-1, 17-2---フレーム変換回路,
18-1, 18-2---統合タイミング発生回路

【特許請求の範囲】

【請求項1】 1フレームの時間長が等しくかつそのフレーム中の各情報チャネルの情報信号のビット数は等しくmであるが信号速度が異なるM個のデジタル信号それぞれの中から情報チャネルの情報信号を伝送先（伝送先の種類数をKとする）別に分岐し同じ伝送先の情報信号をそれぞれ所望の速度で多重化して出力する異速度分岐多重回路であって； この異速度分岐多重回路は、並列的に入力する前記M個のデジタル信号のそれぞれをnビット（ $n \geq m$ ）で構成されるフレームであってM個のデジタル信号中の最高速度よりも早い速度の内部フレームへ変換するM個のフレーム変換手段と； 前記M個のフレーム変換手段それぞれの出力を内部フレーム単位にnビットの並列信号として記憶するM個の直列一並列変換手段と； 前記M個の直列一並列変換手段それぞれの出力を切替制御信号に従って同じ伝送先の情報チャネルの情報を含むnビットの並列信号のL個（ $L \leq K$ ）に組替えて出力するマトリクス構成のチャネル切替手段と； 前記マトリクスの選択位置を分岐すべき情報信号や多重すべき順序等に応じて指定する前記切替制御信号を出力する切替制御手段と； 前記L個の並列信号のそれぞれを直列信号へ変換するL個の並列一直列変換手段と； 前記L個の並列一直列変換手段それぞれの出力を所望の信号速度へ変換するL個のフレーム変換手段と； を備えたことを特徴とする異速度分岐多重回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、信号速度が異なる複数のデジタル信号それぞれの中から情報チャネル中の情報を伝送先別に分岐し同じ伝送先の情報信号（方路信号）をそれぞれ所望の速度で多重化して出力する異速度分岐多重回路に関する。

【0002】

【従来の技術】電話などの音声信号やデータ信号などの通信信号のデジタル多重伝送では、通信信号を、まず信号処理に容易なデジタル信号へ変換して1つの基本信号に収容し、次いで行き先別に基準信号の複数本を集め中継に適する大きな容量の伝送媒体に多重して伝送し、相手目的地で分離復調する階級方式が採用される。

【0003】具体的には、今日、日本における代表的なデジタル伝送信号の階級方式では、例えば音声などの信号は、 64 K b/s のデジタル信号へ変換されるが、この 64 K b/s を基本チャネルとしそれを24個集めフレーム同期ビットを附加して 1.544 Mb/s の1次群速度インターフェースフレームが規定される。これが前述した基本信号である。そして、中継伝送される信号フレームとして、この1次群速度インターフェースフレームを4本集めた 6.312 Mb/s の2次群速度インターフェースフレームが規定され、以降順次高次群フレームが規定され、中継伝送装置の簡略化が図られてい

る。

【0004】ここで、各インターフェースフレームは、フレーム時間は共通の $1.25 \mu\text{s}$ であるが、この単位フレームに収容する基本チャネルの数に一定の関係を与えて構成される。1次群速度インターフェースフレームでは基本チャネルの24個が収容され、2次群速度インターフェースフレームでは基本チャネルの96個（他に予備2個）が収容される。

【0005】つまり、各インターフェースフレームは、
1. 544 Mb/s 或は 6.312 Mb/s 等、信号速度は異なるが単位フレーム時間が共通（ $1.25 \mu\text{s}$ ）しきつそのフレーム中の各情報チャネルのビット数が等しいデジタル信号となっているのである。

【0006】そして、中継伝送装置または最終の送受信装置では、例えば1次と2次の中低速度のインターフェースにおいて、集められた1次群フレームの中から伝送目的地別に行き先を組替える方路編集を行い、配信等を行うのである。この方路編集作業を行う回路が本発明が対象とする異速度分岐多重回路である。

【0007】従来の異速度分岐多重回路としては、例えば図7に示すものが知られている。図7において、a、b、cは、前述したように、単位フレーム時間が等しくかつそのフレーム中の各情報チャネルのビット数が等しいが信号速度の異なるデジタル信号であり、それぞれ、図8に示すように、2つの行き先（d、e）の情報信号（方路信号）が設定される情報チャネルを包含している。

【0008】即ち、入力信号aは方路信号dの2チャネル（d-2）と方路信号eの5チャネル（e-1）の情報を持つ（図8（a））。入力信号bは方路信号eの1チャネル（e-2）と方路信号dの2チャネル（d-3）の情報を持つ（図8（b））。また、入力信号cは方路信号dの3チャネル（d-1）と方路信号eの1チャネル（e-3）の情報を持つ（図8（c））。なお、d、eは、それぞれ伝送先で定まる任意速度のデジタル信号であり、それぞれ、（d-1）（d-2）（d-3）、（e-1）（e-2）（e-3）の順序で出力されるようになっている。

【0009】フレーム変換回路（FA）は、FIFOメモリで構成され、a、b、cの入力信号のフレーム同期を確立しそれらに収容される情報チャネルの情報を識別分離するものであるが、a、b、cの入力信号は、それぞれ2つの行き先の情報（方路信号）を持つので、入力信号aに対して2つのFA（51-1、51-4）が、入力信号bに対して2つのFA（51-2、51-5）が、入力信号cに対して2つのFA（51-3、51-6）がそれぞれ設けられる。

【0010】例えば入力信号aについて言えば、図外のフレーム同期再生手段において入力信号aに基づきフレームタイミング信号が生成され、これに基づきFA51

—1にd-2を書き込むタイミング信号W_{d-2}(図8 (W_{d-2}))と、FA51-4にe-1を書き込むタイミング信号W_{e-1}(図8では図示省略)とがそれぞれ形成される。これにより、FA51-1にはd-2が格納され、FA51-4にはe-1が格納される。同様に、b、cの入力信号についても情報チャネルの情報の識別分離が行われる。

【0011】次に、読出タイミング発生回路(R TIM GEN)53は、各FAに対し出力する読出信号を対応する書込信号から1フレーム以上の時間経過後に発生するが、図8 (R_{d-1}、R_{d-2}、R_{d-3})に示すように、FA51-3、同51-1、同51-2の順序でd方向の信号が読み出される(図8 (a (d)、b (d)、c (d))。

【0012】従って、多重回路(MUX)52-1には、d方向の信号が、c (d)、a (d)、b (d)の順序で入力するので、多重制御回路(MUX CONT)54の制御下にd方向の信号の多重化信号d (M)を出力する(図8 (d (M))。

【0013】FA56-1には、書込タイミング発生回路(W TIM GEN)58から書込信号W_{d-M}が与えられ(図8 (W_{d-M}))、多重化信号d (M)がその先頭から順に書き込まれる。またFA56-1には、図8 (R_{d-M})に示すように、読出タイミング発生回路(R_d TIM GEN)57-1から読出信号R_{d-M}が与えられ、FA56-1に書き込まれたd方向の多重化信号が要求された所望の速度で読み出される(図8 (d))。

【0014】e方向についても同様であって、FA51-4、同51-5、51-6には前述した手順で読出信号(R_{e-1}、R_{e-2}、R_{e-3})が読出タイミング発生回路(R TIM GEN)53から与えられるので(図8ではR_{e-3}とこれに対するc (e)のみを示す)、多重回路(MUX)52-2には、e方向の信号が、a (e)、b (e)、c (e)の順序で入力する。そして、多重制御回路(MUX CONT)54の制御下にe方向の信号の多重化信号e (M)が outputされる(図8 (e (M))。

【0015】FA56-2には、書込タイミング発生回路(W TIM GEN)58から書込信号W_{e-M}が与えられ(図8 (W_{e-M}))、多重化信号e (M)がその先頭から順に書き込まれる。またFA56-2には、図8 (R_{e-M})に示すように、読出タイミング発生回路(R_e TIM GEN)57-2から読出信号R_{e-M}が与えられ、FA56-2に書き込まれたe方向の多重化信号が要求された所望の速度で読み出される(図8 (e))。

【0016】なお、53、54、57-1、57-2及び58の各発生回路は、タイミング発生回路55から所要のタイミング信号を得てそれぞれの動作を実現するようになっている。

【0017】

【発明が解決しようとする課題】上述した従来の異速度

分岐多重回路では、フレーム変換回路を信号分岐単位に設けているので、方路を増加する必要のある場合はフレーム変換回路をその増加する方路数分増やす必要があり、回路規模が増大するだけでなく、書き込みや読み出しのタイミング生成が複雑となる。つまり、方路の追加等に小規模の変更で柔軟に対応できないという問題がある。

【0018】また、分岐すべき信号や多重すべき信号は、実際には常時連続とは限らず不連続となる場合もあるが、上述した従来の異速度分岐多重回路では、不連続の場合は隙間を設けて処理しなければならず、無駄が生ずるという問題がある。更に、実際の信号処理では、方路信号の多重において配列順序を入れ換える場合が起るが、かかる要求には応じられないという問題もある。

【0019】本発明の目的は、方路の追加等に小規模の変更で柔軟に対応でき、方路信号の連続不連続を問わず効率よく処理ができ、かつ、配列順序の入れ換えも簡単に行うことのできる異速度分岐多重回路を提供することにある。

【0020】

【課題を解決するための手段】前記目的を達成するためには、本発明の異速度分岐多重回路は次の如き構成を有する。即ち、本発明の異速度分岐多重回路は、1フレームの時間長が等しくかつそのフレーム中の各情報チャネルの情報信号のビット数は等しくmであるが信号速度が異なるM個のデジタル信号それぞれの中から情報チャネルの情報信号を伝送先(伝送先の種類数をKとする)別に分岐し同じ伝送先の情報情報をそれぞれ所望の速度で多重化して出力する異速度分岐多重回路であって；この異速度分岐多重回路は、並列的に入力する前記M個のデジタル信号のそれぞれをnビット(n≥m)で構成されるフレームであってM個のデジタル信号中の最高速度よりも早い速度の内部フレームへ変換するM個のフレーム変換手段と；前記M個のフレーム変換手段それぞれの出力を内部フレーム単位にnビットの並列信号として記憶するM個の直列-並列変換手段と；前記M個の直列-並列変換手段それぞれの出力を切替制御信号に従って同じ伝送先の情報チャネルの情報を含むnビットの並列信号のL個(L≤K)に組替えて出力するマトリクス構成のチャネル切替手段と；前記マトリクスの選択位置を分岐すべき情報信号や多重すべき順序等に応じて指定する前記切替制御信号を出力する切替制御手段と；前記L個の並列信号のそれぞれを直列信号へ変換するL個の並列-直列変換手段と；前記L個の並列-直列変換手段それぞれの出力を所望の信号速度へ変換するL個のフレーム変換手段と；を備えたことを特徴とするものである。

【0021】

【作用】次に、前記の如く構成される本発明の異速度分

岐多重回路の作用を説明する。本発明では、信号速度がばらばらなM個の入力信号のそれぞれを一旦内部フレームの信号に変換し各信号の位相を揃え、それを内部フレームの1フレーム毎にnビットの並列信号へ変換し、このM個のnビット並列信号をマトリクス構成のチャネル切替手段に入力して所定のタイミングで分岐・配列変更・多重等を行ってL個のnビット並列信号を形成し、このL個のnビット並列信号をそれぞれnビットの直列信号へ変換した後、それぞれのnビットの直列信号を内部フレームから本来のフレームへ、即ち、所望の速度の信号の形にして出力する。

【0022】従って、入出力の本数や条件の変更ではなく、方路の追加変更、出力の順序や出力先の変更あるいは方路信号を連続的に出力するか不連続的に出力するか等であれば、マトリクスへの切替制御信号の内容変更で容易に対応できる。また、入出力の本数や条件の変更については、大幅な構成変更を要せず、基本構成の形態を維持した小規模の変更で簡単に対応できる。なお、各構成要素は単純な構成であり集積化が可能である。従って、多様な要求に柔軟に対応でき、かつ、経済的な異速度分岐多重回路を提供できる利点がある。

【0023】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明の一実施例に係る異速度分岐多重回路を示す。本実施例回路は、入力信号及び出力信号が従来と同様である場合の構成を示す。即ち、3つ(M=3)の入力信号(a、b、c)は、それぞれ信号速度は異なるが、1フレームの時間長が等しくかつそのフレーム中の各情報チャネル(タイムスロット)のビット数が等しいデジタル信号である。

【0024】具体的には、1フレームは例えば125μsであり、そのフレーム中の各情報チャネルのビット数は等しく8ビット(m=8)であるが、3つの入力信号(a、b、c)の情報チャネル数はそれぞれ異なる、つまり、信号速度が異なる。そして、従来例と同様に、2つ(K=2)の行き先(d、e)の情報信号(方路信号)が設定される情報チャネルを包含している(図2(a)、(b)、(c))。

【0025】即ち、入力信号aは方路信号dの2チャネル(d-2)と方路信号eの5チャネル(e-1)の情報を持つ(図2(a))。入力信号bは方路信号eの1チャネル(e-2)と方路信号dの2チャネル(d-3)の情報を持つ(図2(b))。また、入力信号cは方路信号dの3チャネル(d-1)と方路信号eの1チャネル(e-3)の情報を持つ(図2(c))。そして、それぞれ、(d-1)、(d-2)、(d-3)、(e-1)、(e-2)、(e-3)の順序で出力されるとする。

【0026】回路構成としては、まず、a、b、cの3つの入力信号のフレーム同期を確立しそれらに収容され

る情報チャネルの情報を識別分離すべく、従来と同様に入力段にフレーム変換回路(FA)を設けるが、本発明では、方路信号数とは無関係に各入力信号毎に1つのフレーム変換回路(FA)を設ける。つまり、11-1、11-2、11-3の3つのフレーム変換回路(FA)を設けてある。

【0027】そして、各FA毎に直列-並列変換回路(S/P)を設け、この3つのS/P(12-1～12-3)の出力をチャネル・マトリクス・スイッチ(SW)13に与える。方路は2つであるので、SW13の出力は2つである。従って、出力段には、14-1と14-2の2つの並列-直列変換回路(P/S)、17-1と17-2の2つのフレーム変換回路(FA)を設けてある。

【0028】なお、以上の各回路は、タイミング発生回路(TIM GEN)16、スイッチ制御回路(SW CONT)15、読出タイミング発生回路(Re TIM GEN)18-2、読出タイミング発生回路(Rd TIM GEN)18-1の対応する回路からタイミング信号を受けて動作する。

【0029】11-1、11-2、11-3の3つのフレーム変換回路(FA)は、従来と同様IFOメモリで構成され、これらには書込信号(Wa、Wb、Wc)が図外で従来と同様の形式で形成され入力する。これにより対応する入力信号がその先頭チャネルから順に最終チャネルまでの1フレーム分が格納される。

【0030】そして、全ての情報の書き込みが終了し入力信号の1フレーム以上の時間が経過すると、TIM GEN 16から各FAに共通の読出信号101が与えられ、各FAでは同一のタイミング(図2(W))で読み出しが開始され、1フレーム分の信号が読み出される。

【0031】各FAからの読み出しは、どの入力信号の情報信号も完全に読み取ることができるようになるため、3つの入力信号(a、b、c)の中の最高速度よりも早い速度で行い、入力信号の1フレーム分がnビット(n≥m)構成である内部フレームの信号へ変換され出力される。

【0032】これにより、各FAからは、互いに同期したタイミングで1内部フレーム分のデータが読み出される(a(1)、b(1)、c(1))。このとき、n>mの場合は、データの読み出しはmチャネルまで行われ、その後最終のnチャネルまでは“0”等のダミーデータを読み出すことになる。

【0033】最終のnチャネルの読み出しを終了すると、次の入力フレームのタイミングまで読み出しを停止する。この操作により、各FAの出力は、信号速度とタイムスロットとが揃うことになる(図2(a(1)、b(1)、c(1)))。

【0034】12-1、12-2、12-3の3つの直列-並列変換回路(S/P)は、対応するFAからの出力(nビット並列信号)を、TIM GEN 16から共通に与

えられるS/P変換信号102に従って各チャネルを1ビット毎にタイムスロットnまでを並列に展開し、即ちnビット並列信号へ変換記憶し出力する。なお、以上の変換動作は、S/P変換信号102の一部として与えられる同期信号(図2(W))に同期してフレーム単位に行われる。

【0035】チャネル・マトリクス・スイッチ(SW)13は、3つのS/P(12-1~12-3)それぞれの出力並列信号をSW CONT 15からの切替制御信号103に従って同じ伝送先の情報チャネルの情報を含むnビットの並列信号の2個(L=2)に組替えて出力する。

【0036】具体的には、SW13は、例えば図3に示すように、横列(入力)がn×3ビット、縦列(出力)がn×2ビットのマトリクス構成のもので、マトリクスの各交点位置に3ステート・バッファを配置し、切替制御信号103により各3ステート・バッファを個別に制御して交点位置の接離をし、(A-1~A-n)(B-1~B-n)(C-1~C-n)の3つのnビット並列信号を、(D-1~D-n)(E-1~E-n)2つのnビット並列信号に組替えて出力する。

【0037】なお、SW CONT 15は、TIM GEN 16からのタイミング信号に基づきマトリクスの選択位置を分岐すべき情報信号や多重すべき順序等に応じて指定して前記切替制御信号103を出力する。

【0038】図4は、SW13の具体的な制御態様を示す。図3との関係を言えば、A→a、B→b、C→cである。例えば方路信号eの並列信号は次のようにして形成する。図4の右欄に示すように、e-1の「1」から「5」の信号は入力信号aに含まれ、e-2の「1」の信号は入力信号bに含まれ、e-3の「1」の信号は入力信号cに含まれている。従って、SW13の制御は、入力信号のa、b、cの順序で行われる。

【0039】まず、e-1の信号をS/P12-1の出力(a(1)-1~a(1)-n)から取り出す場合を説明する。e-1の「1」から「5」の信号は、S/P12-1では、第3番目(a(1)-3)から第7番目(a(1)-7)の記憶エリアに格納され、これがSW13の入力A-3から同A-7に与えられている。

【0040】従って、SW13では、入力A-3から同A-7と出力E-1から同E-5の各交点位置の3ステートバッファ(以下、「スイッチ」)を順に操作してこのe-1の信号を取り込み、E-1からE-5に出力する。

【0041】続いて、e-2の信号「1」は、S/P12-2では、第1番目(b(1)-1)の記憶エリアに格納され、これがSW13の入力B-1に与えられている。

【0042】従って、SW13では、a(1)に関する5回のスイッチ操作に後続した6回目に、入力B-1と出力E-6の交点位置のスイッチを操作してe-2の信

号を取り込み、E-6に出力する。同様に、c(1)の信号からは、入力C-4と出力E-7の交点位置のスイッチを操作してe-3の信号を取り込み、E-7に出力する。方路信号dについても同様の手順で、入力信号のc、a、bの順にスイッチの操作がなされ、方路信号dの7つの信号がD-1~D-7に出力される。なお、D-8~D-n及びE-8~E-nには“0”が出力される。

【0043】次に、14-1と14-2の2つのP/Sでは、TIM GEN 16から共通に与えられるP/S変換信号104に従ってSW13の2つのnビット並列信号出力の対応するものをnビット直列信号へ変換する(図5のd(1)、e(1))。SW13における選択操作により、方路信号が入力信号の何れの情報チャネルに配置されていても適正な配列に並べ替えされることが理解できる。

【0044】次いで、17-1と17-2の2つのFAでは、TIM GEN 16から共通に与えられる書込信号105に従って2つのP/Sの対応するnビット直列信号を取り込む。そして、FA17-1は、Rd TIM GEN 18-1から読出信号106-1を受けて、FA17-2は、Re TIM GEN 18-2から読出信号106-2を受けて、それぞれ所定の信号速度で方路信号(d、e)を読み出し出力する。

【0045】Rd TIM GEN 18-1及びRe TIM GEN 18-2は、それぞれ、TIM GEN 16から共通に与えられるタイミング信号に従って所定の読出信号(106-1、106-2)を形成する。つまり、17-1と17-2の2つのFAに格納した信号は、前記したように、内部処理のため同じ速度の信号であるので、各方路に応じた速度の信号へ変換するのである(図5(Rd)、図5(Re)(e))。

【0046】図6に以上の動作の概要を示してあるが、SW13の存在により、配列の順序、連続して出力するか不連続に出力するか等は自由自在になし得ることが理解できる。なお、SW13の並列出力の本数は方路の数分設ける必要は必ずしもなくそれよりも少ない数でも良いことは勿論である。

【0047】【発明の効果】以上説明したように、本発明の異速度分岐多重回路によれば、信号速度がばらばらなM個の入力信号のそれぞれを一旦内部フレームの信号に変換し各信号の位相を揃え、それを内部フレームの1フレーム毎にnビットの並列信号へ変換し、このM個のnビット並列信号をマトリクス構成のチャネル切替手段に入力して所定のタイミングで分岐・配列変更・多重等を行ってし個のnビット並列信号を形成し、このし個のnビット並列信号をそれぞれnビットの直列信号へ変換した後、それぞれのnビットの直列信号を内部フレームから本来のフレームへ、即ち、所望の速度の信号の形にして出力する

ようにしたので、入出力の本数や条件の変更ではなく、方路の追加変更、出力の順序や出力先の変更あるいは方路信号を連続的に出力するか不連続的に出力するか等であれば、マトリクスへの切替制御信号の内容変更で容易に対応できる。また、入出力の本数や条件の変更については、大幅な構成変更を要せず、基本構成の形態を維持した小規模の変更で簡単にに対応できる。なお、各構成要素は単純な構成であり集積化が可能である。従って、多様な要求に柔軟に対応でき、かつ、経済的な異速度分岐多重回路を提供できる効果もある。

【図面の簡単な説明】

【図1】本発明の一実施例に係る異速度分岐多重回路の構成ブロック図である。

【図2】入力信号及び内部フレームへの変換を説明するタイムチャートである。

【図3】チャネル・マトリクス・スイッチの構成図である。

【図4】チャネル・マトリクス・スイッチの制御態様の*

*説明図である。

【図5】並列-直列変換及び方路信号速度へのフレーム変換のタイムチャートである。

【図6】本発明の異速度分岐多重回路の要部の動作概要図である。

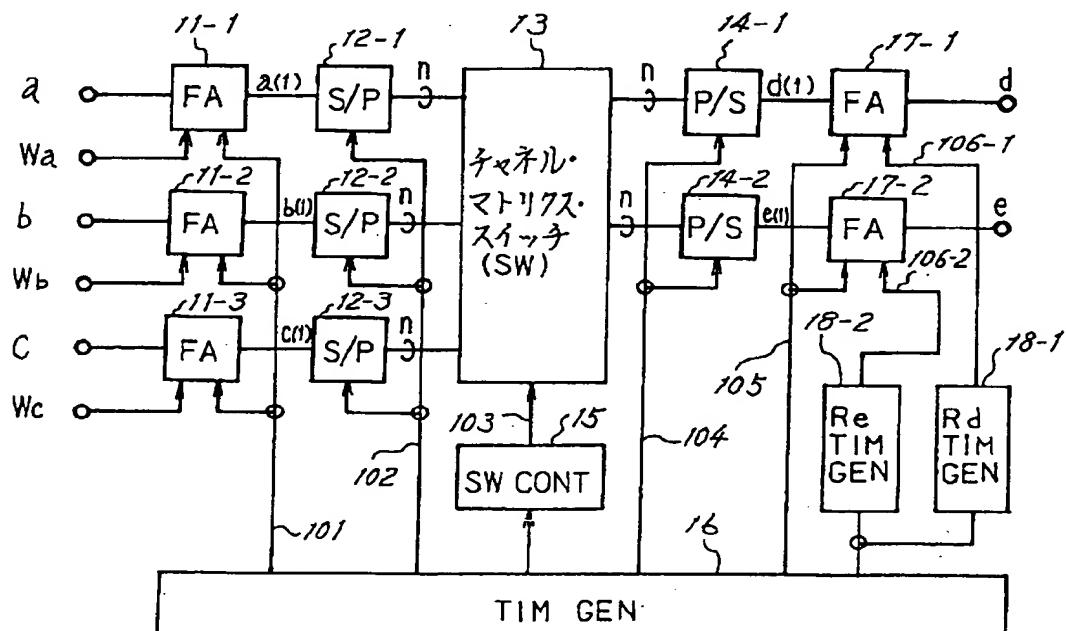
【図7】従来の異速度分岐多重回路の構成ブロック図である。

【図8】従来の異速度分岐多重回路の動作タイムチャートである。

10 【符号の説明】

- 11-1～11-3 フレーム変換回路
- 12-1～12-3 直列-並列変換回路
- 13 チャネル・マトリクス・スイッチ
- 14-1, 14-2 並列-直列変換回路
- 15 スイッチ制御回路
- 16 タイミング発生回路
- 17-1, 17-2 フレーム変換回路
- 18-1, 18-2 讀出タイミング発生回路

【図1】



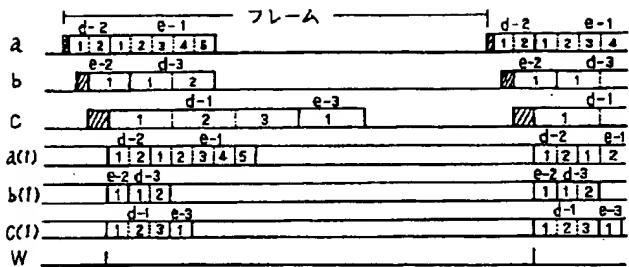
11-1～11-3---フレーム変換回路, 12-1～12-3---直列-並列変換回路.

14-1, 14-2---並列-直列変換回路, 15---スイッチ制御回路.

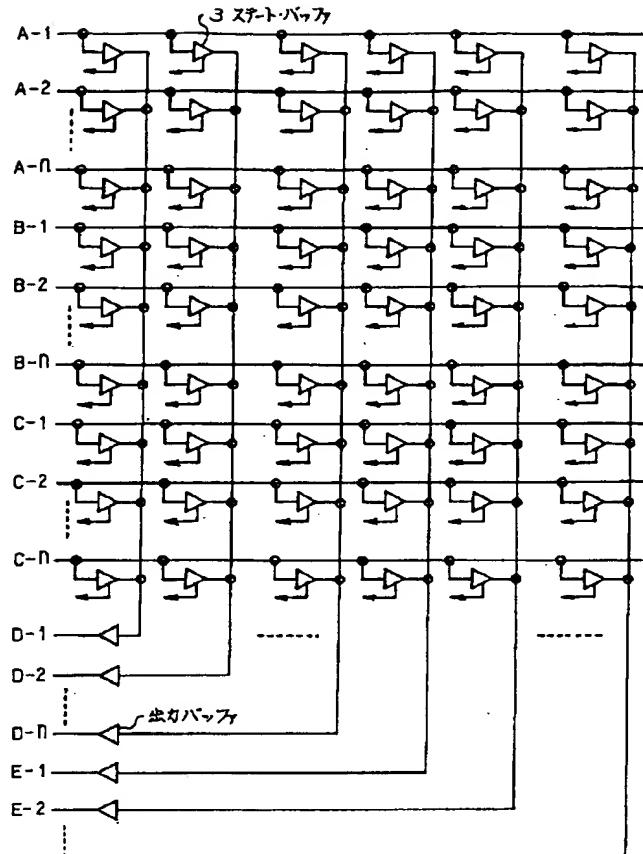
16---タイミング発生回路, 17-1, 17-2---フレーム変換回路.

18-1, 18-2---読出タイミング発生回路

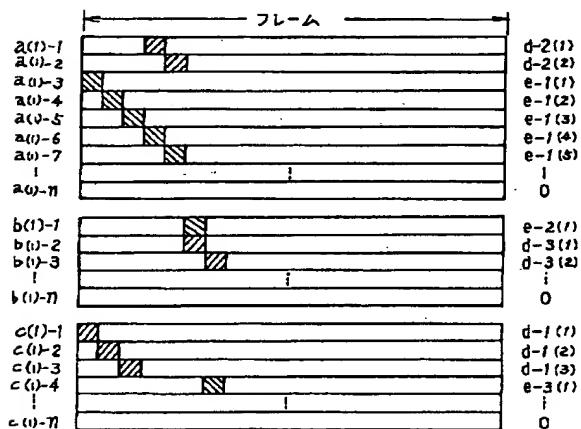
【図2】



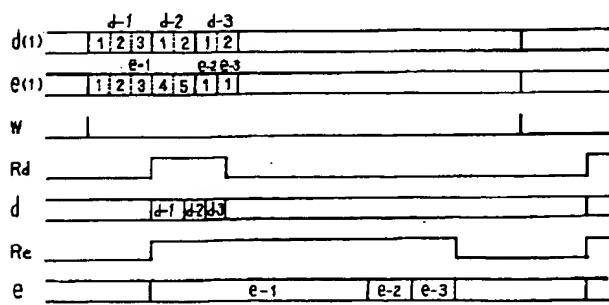
【図3】



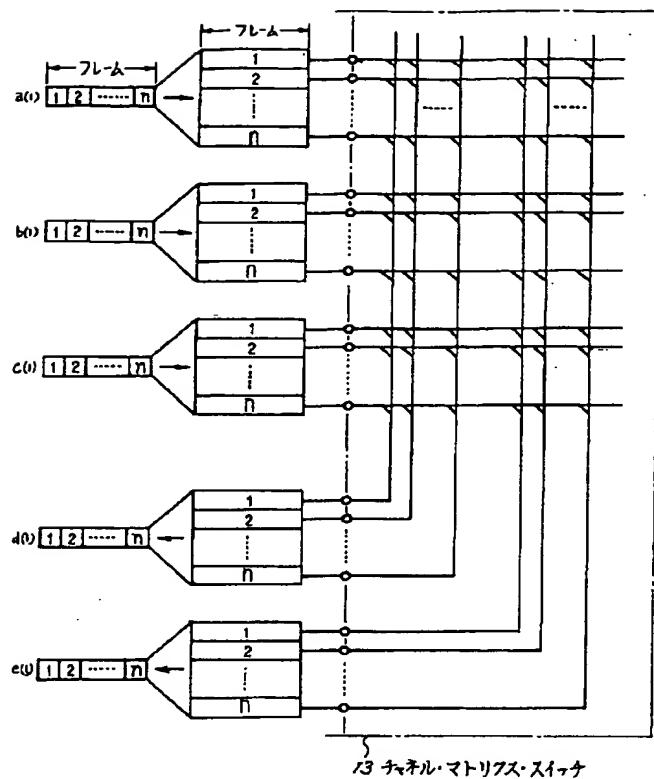
【図4】



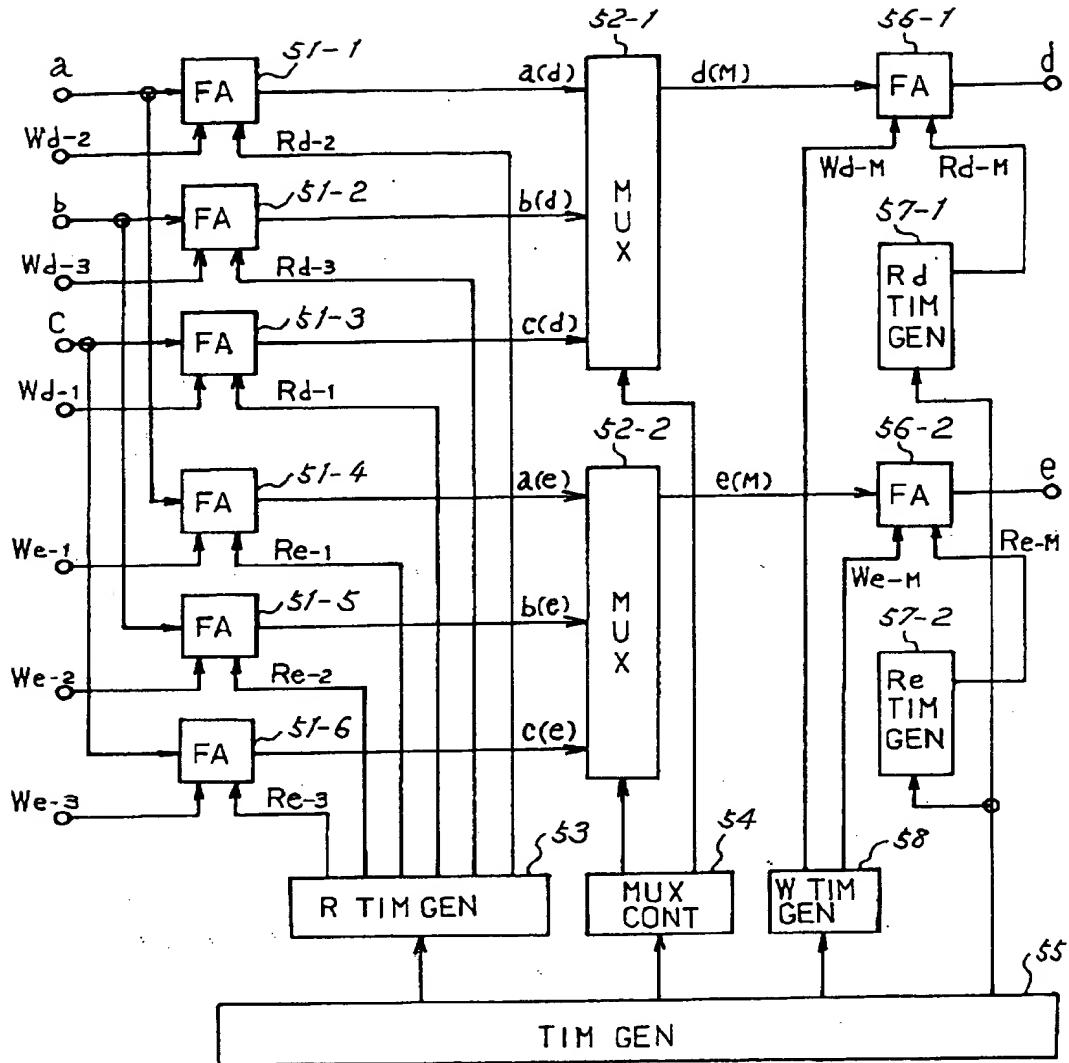
[図 5]



【図6】



【图7】



51-1~51-6---フレーム変換回路, 52-1, 52-2---多重回路

53, 57-1, 57-2--- 調出タイミング発生回路, 54--- 多重制御回路

55---タイミング発生回路, 58---書込タイミング発生回路

【図8】

